

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号

特開平5-160588

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.<sup>5</sup>

H 0 5 K 7/20

H 0 1 L 23/40

識別記号

B 8509-4E

A 7220-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号 特願平3-320411

(22)出願日 平成3年(1991)12月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上永本町5丁目20番1号

(72)発明者 三輪 孝志

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74)代理人 弁理士 秋田 収喜

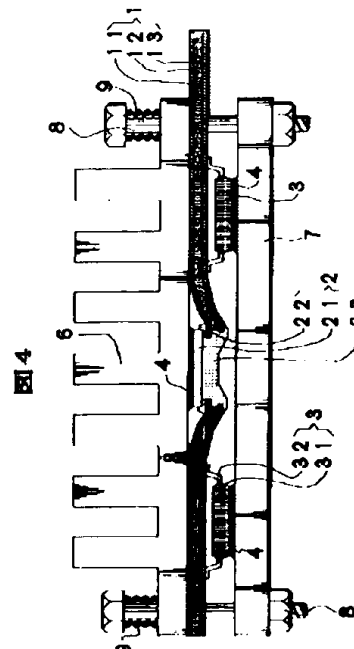
最終頁に続く

(54)【発明の名称】 半導体モジュール装置

(57)【要約】

【目的】 半導体モジュール装置において、実装密度を向上しかつ放熱効率を向上する。又、半導体モジュール装置において、放熱効率を向上しかつ回路動作速度の高速化を図る。

【構成】 半導体モジュールにおいて、可塑性配線基板1の表面に中央演算処理用半導体装置2を実装しかつ裏面にキャッシュメモリ用半導体装置3を実装し、これらを2枚の放熱板6及び7で挟持する。又、前記可塑性配線基板1の信号配線11 S若しくは電源配線11 V<sub>D</sub>、基準電源配線13 V<sub>G</sub>の夫々を重ね合せる。



## 【特許請求の範囲】

【請求項1】 可塑性配線基板の表面に第1半導体装置を実装するとともに、この可塑性配線基板の表面と対向する裏面の前記第1半導体装置の搭載領域と異なる領域に第2半導体装置を実装し、前記可塑性配線基板の厚さ方向において、この可塑性配線基板、第1半導体装置及び第2半導体装置を2枚の放熱板で挟持し、前記第1半導体装置、第2半導体装置の夫々と放熱板の夫々との間を直接に若しくは熱伝導材を介在して連結したことを特徴とする半導体モジュール装置。

【請求項2】 前記請求項1に記載の2枚の放熱板はいずれも第1半導体装置及び第2半導体装置を被覆できる程度の面積で構成され、2枚の放熱板のうち少なくとも一方の放熱板は放熱フィンが構成される。

【請求項3】 信号配線若しくは電源配線が配置される配線層及びほぼ全域に渡って基準電源配線が配置された配線層を有する可塑性配線基板の表面に夫々実装高さが異なる第1半導体装置及び第2半導体装置を実装し、この第1半導体装置、第2半導体装置の夫々に直接に若しくは熱伝導材を介在して放熱板を連結したことを特徴とする半導体モジュール装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体モジュール装置に関し、特に、基板に複数の半導体装置が実装された放熱構造を有する半導体モジュール装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】1つのモジュール基板に中央演算処理用半導体装置及びその周辺機器としてのキャッシュメモリ用半導体装置を実装した半導体モジュール装置の開発が行われている。この種の半導体モジュール装置はパーソナルコンピュータ、オフィスコンピュータ等、小型汎用コンピュータに組込まれる。

【0003】前記半導体モジュール装置に実装される中央演算処理用半導体装置は、バイポーラトランジスタ、CMOS又はその組合せで論理回路が構成され、高速回路動作が行えるが、発熱量が高い。キャッシュメモリ用半導体装置は、高速回路動作が行えるが、中央演算処理用半導体装置ほどではないが、同様に発熱量が高い。このため、半導体モジュール装置は、プリント配線基板（PCB）をベースとしたCOB構造で構成され、中央演算処理用半導体装置、キャッシュメモリ用半導体装置に個々に放熱フィンを取り付けた放熱構造が採用される。また、半導体モジュール装置は基板内部に熱伝導用金属を埋込んだメタルコア基板を使用する放熱構造が採用される。

【0004】なお、放熱構造については、例えば、株式会社 サンエンスフォーラム、超LSIデバイスハンドブック、昭和58年11月28日発行、第247頁乃至

第251頁に記載されている。

## 【0005】

【発明が解決しようとする課題】（1）前述の半導体モジュール装置のうち、前者の半導体モジュール装置は中央演算処理用半導体装置、キャッシュメモリ用半導体装置の夫々に個々に設計された放熱フィンが装着される。中央演算処理用半導体装置に装着される放熱フィンは、発熱量が高いので放熱フィンの表面積を多く必要とし、高さ方向に表面積を稼ぐ場合はキャッシュメモリ用半導体装置に装着される放熱フィンの高さに比べて高くなる。このため、放熱フィンを含めた合計の中央演算処理用半導体装置、放熱フィンを含めた合計のキャッシュメモリ用半導体装置の夫々の実装高さにばらつきが生じ、実装高さが高い中央演算処理用半導体装置の実装高さが半導体モジュール装置の実装高さが決定されるので、半導体モジュール装置の実装密度が低下する。

【0006】（2）また、中央演算処理用半導体装置に装着される放熱フィンは、放熱フィンの表面積を平面方向に稼ぐ場合は中央演算処理用半導体装置の実装面積よりも大面積を有するオーバハング形状で構成される。このため、プリント配線基板（モジュール配線基板）において、放熱フィンを含めた中央演算処理用半導体装置の占有面積が増大し、半導体モジュール装置の実装密度が低下する。

【0007】（3）また、前記問題点（2）により、放熱フィンのオーバハング形状に相当する分、中央演算処理用半導体装置、キャッシュメモリ用半導体装置の夫々の間を接続する信号配線、電源配線の夫々の配線長が長くなる。このため、信号配線の信号伝達速度が遅くなる、信号配線や電源配線にノイズが発生する確率が高くなる等、半導体モジュール装置の回路動作速度が遅くなる。

【0008】（4）また、前述の半導体モジュール装置のうち、後者の半導体モジュール装置はメタルコア基板をモジュール基板とするので、このメタルコア基板は製作が複雑で部品点数が多く、結果的に、半導体モジュール装置が高価になる。

【0009】本発明の目的は、以下のとおりである。

（1）半導体モジュール装置において、実装密度を向上するとともに、放熱効率を向上する。

（2）半導体モジュール装置において、放熱効率を向上するとともに、回路動作速度の高速化を図る。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

## 【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記のとおりである。

【0012】（1）半導体モジュール装置において、可

塑性配線基板の表面に第1半導体装置を実装するとともに、この可塑性配線基板の表面と対向する裏面の前記第1半導体装置の搭載領域と異なる領域に第2半導体装置を実装し、前記可塑性配線基板の厚さ方向において、この可塑性配線基板、第1半導体装置及び第2半導体装置を2枚の放熱板で挟持し、前記第1半導体装置、第2半導体装置の大々と放熱板の大々との間を直接に若しくは熱伝導材を介在して連結する。

【0013】(2)前記手段(1)の2枚の放熱板はいずれも第1半導体装置及び第2半導体装置を被覆できる程度の面積で構成され、2枚の放熱板のうち少なくとも一方の放熱板は放熱フィンが構成される。

【0014】(3)半導体モジュール装置において、信号配線若しくは電源配線が配置される配線層及びほぼ全域に渡って基準電源配線が配置された配線層を有する可塑性配線基板の表面に大々実装高さが異なる第1半導体装置及び第2半導体装置を実装し、この第1半導体装置、第2半導体装置の大々に直接に若しくは熱伝導材を介在して放熱板を連結する。

【0015】

【作用】上述した手段(1)によれば、以下の作用効果が得られる。

(A)前記可塑性配線基板の可塑性を利用し、前記可塑性配線基板の表面に実装される第1半導体装置の実装高さ、裏面に実装される第2半導体装置の実装高さの大々を可塑性配線基板の厚さ方向において重複できるので、この可塑性配線基板の厚さ方向において半導体モジュール装置の実装密度を向上できる。

(B)前記可塑性配線基板の可塑性を利用し、第1半導体装置を一方の放熱板に、第2半導体装置を他方の放熱板に大々連結できるので、第1半導体装置、第2半導体装置の大々の回路動作で発生する熱を放熱板に伝達し、半導体モジュール装置の放熱効率を向上できる。

【0016】上述した手段(2)によれば、以下の作用効果が得られる。

(A)前記第1半導体装置に連結される放熱板の面積が第1半導体装置及び第2半導体装置を被覆する大面積で構成され、同様に、第2半導体装置に連結される放熱板の面積が第1半導体装置及び第2半導体装置を被覆する大面積で構成されるので、第1半導体装置、第2半導体装置のいずれも放熱効率を高め、半導体モジュール装置の放熱効率を向上できる。

(B)前記2枚の放熱板のうち、少なくとも一方の放熱板に放熱フィンを構成したので、第1半導体装置、第2半導体装置のいずれかの放熱効率を高め、半導体モジュール装置の放熱効率を向上できる。

【0017】上述した手段(3)によれば、以下の作用効果が得られる。

(A)前記可塑性配線基板の可塑性を利用し、第1半導体装置、第2半導体装置のいずれも放熱板に連結できる

ので、第1半導体装置、第2半導体装置の大々の回路動作で発生する熱を放熱板に伝達し、半導体モジュール装置の放熱効率を向上できる。

(B)前記可塑性配線基板の信号配線、基準電源配線の大々が重なり合い、マイクロストリップ構造を構成するので、信号配線間のクロストークノイズを低減し、半導体モジュール装置の回路動作速度の高速化が図れる。また、前記可塑性配線基板の電源配線、基準電源配線の大々が重なり合い、インダクタンスの整合を行えるので、電源、基準電源のいずれかに発生したノイズを低減し、半導体モジュール装置の回路動作速度の高速化が図れる。

【0018】以下、本発明の構成について、1つのモジュール基板に1個の中央演算処理用半導体装置及び複数個のキャッシュメモリ用半導体装置を実装する半導体モジュール装置に本発明を適用した実施例とともに説明する。

【0019】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0020】

【実施例】(実施例1)本実施例1は、半導体モジュール装置において、放熱効率を向上するとともに回路動作の高速化を図る、本発明の第1実施例である。

【0021】本発明の実施例1である半導体モジュール装置について、図1(一部を断面にした側面図)、図2(半導体モジュール装置のモジュール基板の表面レイアウト図)及び図3(モジュール基板の裏面レイアウト図)で示す。

【0022】図1乃至図3に示すように、半導体モジュール装置は、中央演算処理用半導体装置2及びキャッシュメモリ用半導体装置3が実装されたモジュール基板としての可塑性(フレキシブル)配線基板1を2枚の放熱板6及び7で挟持する。

【0023】前記可塑性配線基板1は、この配線層数に限定されないが、樹脂基板12の表面(図1中、上側表面)に配線層11、裏面(図1中、下側表面)に配線層13を有する2層配線層構造で構成される。

【0024】樹脂基板12は、基本的に絶縁性を有し、かつ可塑性を有する材料、例えばポリイミド系樹脂で形成される。

【0025】樹脂基板12の表面側の配線層11、裏面側の配線層13の大々は例えばCu若しくはCuを主体とする積層で形成される。樹脂基板12の表面側の配線層11は、図1及び図2に示すように、外部機器に接続する外部コネクタ端子11C、中央演算処理用半導体装置2、キャッシュメモリ用半導体装置3の大々を実装する実装端子11P、実装端子11P間を相互に連結する信号配線11S、回路の動作電源を供給する電源配線11V<sub>0</sub>等が配置される。樹脂基板12の裏面側の配線層

5

13は、図1及び図3に示すように、回路の基準電源を供給する基準電源配線13V<sub>G</sub>が配置される。この基準電源配線13V<sub>G</sub>は配線層13のほぼ全域に渡って（べたで）形成される。この樹脂基板12の裏面側の基準電源配線13V<sub>G</sub>は、図3に示すように裏面側から見て接続孔13Hを通して、図2に示すように表面側から見て接続孔11Hを通して、表面側の基準電源配線11V<sub>G</sub>に電氣的に接続される。

【0026】中央演算処理用半導体装置2は、半導体ベレット21の外部端子（ボンディングパッド）22、可塑性配線基板1の表面側の実装端子11Pの夫々をフェースダウンボンディング法で電氣的かつ機械的に接続し、封止体23で封止される。半導体ベレット21は、例えば単結晶珪素基板で構成され、その素子形成面にバイポーラトランジスタ、相補型M1SFEIT又はそれらを組合せて構成した中央演算処理回路（CPU）が搭載される。封止体23は少なくとも半導体ベレット21の素子形成面、外部端子22と実装端子11Pとの接続領域の夫々を被覆する。封止体23は例えばポリイミド系樹脂、エポキシ系樹脂等で形成される。

【0027】キャッシュメモリ用半導体装置3は、封止体31、この封止体31の内部に封止された半導体ベレット（図示しない）及びこの半導体ベレットの外部端子に電氣的に接続されたリード32を主体に構成される。半導体ベレットは同様に単結晶珪素基板で構成され、その素子形成面にキャッシュメモリ回路が搭載される。封止体32は、トランスファモールド法で成型され、例えばエポキシ系樹脂で形成される。封止体31の外部に配列されたリード32は可塑性配線基板1の表面側の実装端子11Pに電氣的かつ機械的に接続される。この実装数に限定されないが、本実施例の半導体モジュール装置は可塑性配線基板1の表面側に4個のキャッシュメモリ用半導体装置3が実装される。

【0028】前記可塑性配線基板1の表面側に実装された中央演算処理用半導体装置2、キャッシュメモリ用半導体装置3の夫々は夫々に共通の放熱板6が連結される。つまり、放熱板6は、可塑性配線基板1の相互に異なる領域に実装された中央演算処理用半導体装置2及びキャッシュメモリ用半導体装置3を被覆する面積で構成され、熱伝導材（例えば、熱伝導グリース）を介して直接的に（熱伝導材を介しているのに間接的とも言える）連結される。放熱板6は、複数のフィンが構成され、このフィンの表面積に相当する分、熱放出面積を増加でき、半導体モジュール装置の放熱効率を向上できる。放熱板6は例えばアルミニウム板の表面にアルマイト処理（耐食酸化被膜処理）を施したもの、Cu板の表面に絶縁被膜処理を施したものが使用される。

【0029】可塑性配線基板1の裏面側は前記放熱板6と実質的に同一対向面積で構成された放熱板7が連結される。半導体モジュール装置は、可塑性配線基板1の表

6

面側に中央演算処理用半導体装置2及びキャッシュメモリ用半導体装置3が実装され、この可塑性配線基板1の表面側での放熱効率を高めたいので、放熱板6にフィンが構成され、放熱板7にはフィンを設けていない。

【0030】本実施例の半導体モジュール装置は、可塑性配線基板1に実装された中央演算処理用半導体装置2の実装高さがキャッシュメモリ用半導体装置3の実装高さに比べて低いので、放熱板7と封止体23との間に弾性体5を介在し、可塑性配線基板1の可塑性を利用し、放熱板6への当接が行われる。可塑性配線基板1の表面側の放熱板6、裏面側の放熱板7の夫々は、周辺領域において、挟持部材8で組立てられる。挟持部材8は、本実施例の場合、ボルト及びナットが使用される。このボルト及びナットが使用される場合、挟持の際に過負荷による中央演算処理用半導体装置2又はキャッシュメモリ用半導体装置3の損傷や破壊を防止するために、ボルト頭と放熱板6との間に弾性体9（本実施例の場合、コイルばね）を介在する。

【0031】このように、半導体モジュール装置において、表面に信号配線11S若しくは電源配線11V<sub>D</sub>が配置される配線層11及びほぼ全域に渡って基準電源配線13V<sub>G</sub>が配置された配線層13を有する可塑性配線基板1の表面に夫々実装高さが異なる中央演算処理用半導体装置2及びキャッシュメモリ用半導体装置3を実装し、この中央演算処理用半導体装置2、キャッシュメモリ用半導体装置3の夫々に直接に若しくは熱伝導材4を介在して間接的に放熱板6を連結する。この構成により、以下の作用効果が得られる。（A）前記可塑性配線基板1の可塑性を利用し、中央演算処理用半導体装置2、キャッシュメモリ用半導体装置3のいずれも放熱板6に連結できるので、中央演算処理用半導体装置2、キャッシュメモリ用半導体装置3の夫々の回路動作で発生する熱を放熱板6に伝達し、半導体モジュール装置の放熱効率を向上できる。（B）前記可塑性配線基板1の信号配線11S、基準電源配線13V<sub>G</sub>の夫々が重なり合い、マイクロストリップ構造を構成するので、信号配線11S間のクロストークノイズを低減し、半導体モジュール装置の回路動作速度の高速化が図れる。また、前記可塑性配線基板1の電源配線11V<sub>D</sub>、基準電源配線13V<sub>G</sub>の夫々が重なり合い、インダクタンスの整合を行えるので、電源、基準電源のいずれかに発生したノイズを低減し、半導体モジュール装置の回路動作速度の高速化が図れる。

【0032】また、前記半導体モジュール装置の放熱板6は中央演算処理用半導体装置2及びキャッシュメモリ用半導体装置3を被覆できる程度の面積で構成され、放熱板6はフィンが構成される。この構成により、以下の作用効果が得られる。（A）前記中央演算処理用半導体装置2に連結される放熱板6の面積が中央演算処理用半導体装置2及びキャッシュメモリ用半導体装置3を被覆

7

する大面積で構成され、同様にキャッシュメモリ用半導体装置3に連結される放熱板6の面積が中央演算処理用半導体装置2及びキャッシュメモリ用半導体装置を被覆する大面積で構成されるので、中央演算処理用半導体装置2、キャッシュメモリ用半導体装置3のいずれも放熱効率を高め、半導体モジュール装置の放熱効率を向上できる。(B)前記放熱板6にフィンを構成したので、放熱面積を増加でき、中央演算処理用半導体装置2、キャッシュメモリ用半導体装置3のいずれかの放熱効率を高め、半導体モジュール装置の放熱効率を向上できる。

【0033】(実施例2)本実施例2は、半導体モジュール装置において、放熱効率を向上するとともに実装密度を向上した、本発明の第2実施例である。

【0034】本発明の実施例2である半導体モジュール装置について、図4(一部を断面にした側面図)で示す。

【0035】図4に示すように、本実施例2の半導体モジュール装置は、可塑性配線基板1の表面側に中央演算処理用半導体装置2が実装され、この実装された周囲において、可塑性配線基板1の裏面側にキャッシュメモリ用半導体装置3が実装される。中央演算処理用半導体装置2は熱伝導材4を介在して放熱板6に連結され、キャッシュメモリ用半導体装置3は熱伝導材4を介在して放熱板7に連結される。

【0036】上、2枚の放熱板6及び7は、前述の実施例1の半導体モジュール装置と同様に、可塑性配線基板1、中央演算処理用半導体装置2及びキャッシュメモリ用半導体装置3を挟持する。この挟持の際、可塑性配線基板1の可塑性が利用され、可塑性配線基板1の厚さ及びキャッシュメモリ用半導体装置3の実装高さを含む合計の実装高さの範囲内に中央演算処理用半導体装置2の実装高さが組込まれる(前者の実装高さの一部に後者の実装高さが重複する)。

【0037】前記可塑性配線基板1の基本的な構造は前述の実施例1の半導体モジュール装置と同様であるが、可塑性配線基板1の表面側の中央演算処理用半導体装置2の周囲に基準電源配線(V<sub>G</sub>)が主体に配置され、可塑性配線基板1の裏面側に信号配線(S)及び電源配線(V<sub>B</sub>)が主体に配置される。

【0038】このように、半導体モジュール装置において、可塑性配線基板1の表面に中央演算処理用半導体装置2を実装するとともに、この可塑性配線基板1の表面と対向する裏面の前記中央演算処理用半導体装置2の搭載領域と異なる領域にキャッシュメモリ用半導体装置3を実装し、前記可塑性配線基板1の厚さ方向において、この可塑性配線基板1、中央演算処理用半導体装置2及びキャッシュメモリ用半導体装置3を2枚の放熱板6及

8

び7で挟持し、前記中央演算処理用半導体装置2、キャッシュメモリ用半導体装置3の夫々と放熱板6及び7の夫々との間を直接に若しくは熱伝導材4を介在して間接的に連結する。この構成により、以下の作用効果が得られる。(A)前記可塑性配線基板1の可塑性を利用し、前記可塑性配線基板1の表面に実装される中央演算処理用半導体装置2の実装高さ、裏面に実装されるキャッシュメモリ用半導体装置3の実装高さの夫々を可塑性配線基板1の厚さ方向において重複できるので、この可塑性配線基板1の厚さ方向において半導体モジュール装置の実装密度を向上できる。(B)前記可塑性配線基板1の可塑性を利用し、中央演算処理用半導体装置2を一方の放熱板6に、キャッシュメモリ用半導体装置3を他方の放熱板7に夫々連結できるので、中央演算処理用半導体装置2、キャッシュメモリ用半導体装置3の夫々の回路動作で発生する熱を放熱板6、7の夫々に効率良く伝達し、半導体モジュール装置の放熱効率を向上できる。

【0039】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0040】例えば、本発明は、複数個のメモリ用半導体装置、その駆動用半導体装置の夫々を実装する半導体モジュール装置に適用してもよい。

【0041】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1)半導体モジュール装置において、実装密度を向上できるとともに、放熱効率を向上できる。

(2)半導体モジュール装置において、放熱効率を向上できるとともに、回路動作速度の高速化を図れる。

【図面の簡単な説明】

【図1】 本発明の実施例1である半導体モジュール装置の側面図。

【図2】 前記半導体モジュール装置の基板の表面レイアウト図。

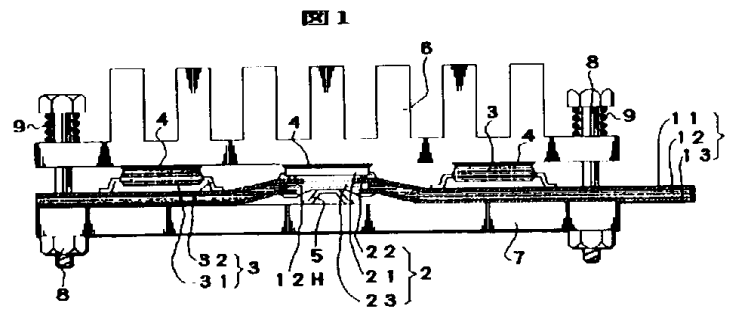
【図3】 前記基板の裏面レイアウト図。

【図4】 本発明の実施例2である半導体モジュール装置の側面図。

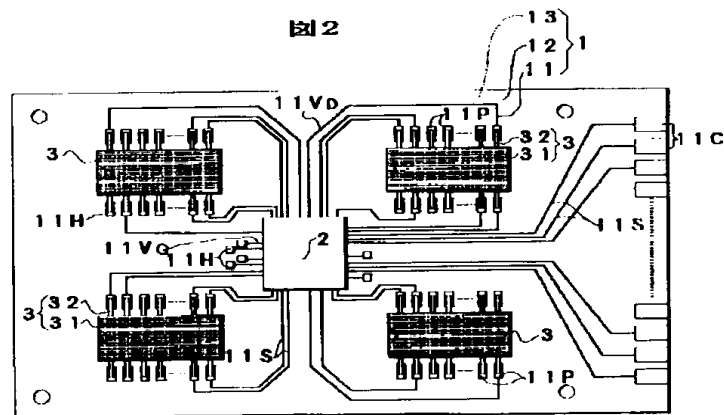
【符号の説明】

1…可塑性配線基板、11、13…配線層、12…樹脂基板、2…中央演算処理用半導体装置、3…キャッシュメモリ用半導体装置、4…熱伝導材、5、9…弾性体、6、7…放熱板、8…挟持部材。

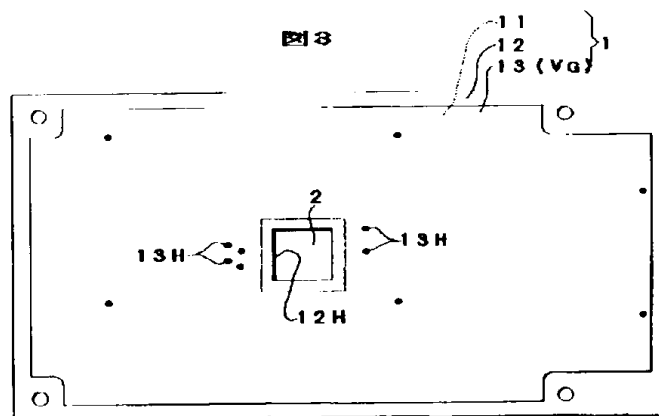
【図1】



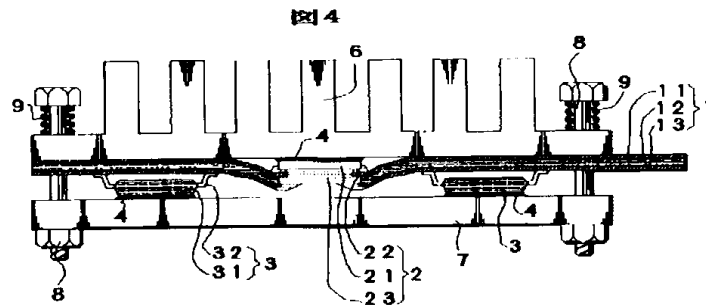
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 白井 優之  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(72)発明者 坪井 敏宏  
東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 松永 俊博  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(72)発明者 小作 浩  
東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内